PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Chu

Serial No.: Unassigned

Filed: February 20, 2004

Group Art Unit: Unassigned

Examiner: Unassigned

Docket No. 251613-1010

For: **MOSFET STRUCTURE AND METHOD OF FABRICATING THE SAME**

CLAIM OF PRIORITY TO AND SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "MOSFET STRUCTURE AND METHOD OF FABRICATING THE SAME", filed November 14, 2003, and assigned serial number 92132072. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

THOMAS, KAYDEN, HORSTEMEYER & RISLEY, L.L.P.

By: _____

Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申　請　日：西元 2003 年 11 月 14 日
Application Date

申 請 案 號：092132072
Application No.

申　請　人：茂德科技股份有限公司
Applicant(s)

局　長
Director General

蔡練生

發文日期：西元 2004 年 1 月 6 日
Issue Date

發文字號：09320016800
Serial No.

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：

※ 申請日期：　　※IPC 分類：

壹、發明名稱：（中文/英文）

金氧半電晶體之結構以及其形成方法

Device Structure of a MOSFET and Method of Forming the Same

貳、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

茂德科技股份有限公司

ProMOS Technologies Inc.

代表人：（中文/英文）胡　洪　九 **HU, HUNGCHIU**

住居所或營業所地址：（中文/英文）

新竹科學工業園區力行路 19 號 3 樓

3F, NO. 19, LI HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU

國　籍：（中文/英文）中華民國 R.O.C.

參、發明人：（共 1 人）

姓　名：（中文/英文）

朱振樑　CHU, CHENLIANG

住居所地址：（中文/英文）

新竹市境福里 18 鄰成功路 65 巷 14 號 3 樓

3F, NO. 14, LANE 65, CHEN KUNG RD., HSINCHU CITY

國　籍：（中文/英文）中華民國 R.O.C.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：　年　月　日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數　順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼　順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼　順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要

提出一種金氧半電晶體之結構以及其形成方法。此金氧半電晶體之閘介電層在靠近汲極之一端形成鳥嘴結構以增加其厚度。因此，可降低閘極對汲極之重疊電容。

陸、英文發明摘要

A device structure of a MOSFET and a method of forming it are disclosed. The thickness of a portion of the gate dielectric layer of the MOSFET adjacent to the drain is increased to form a bird's beak structure. The gate-to-drain overlap capacitance is reduced by the bird's beak structure.

柒、(一)、本案指定代表圖為：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

200：基材

210：閘極

220：閘介電層

220a：鳥嘴

230：源極

240：汲極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明

【發明所屬之技術領域】

本發明是有關於積體電路之結構與其製造方法，且特別是有關於一種金氧半電晶體(metal-oxide-semiconductor field effect transistor；MOSFET)之結構與其形成方法。

【先前技術】

對於金氧半電晶體的高頻應用而言，例如射頻(RF)通訊、高速類比和數位積體電路等，必須考慮金氧半電晶體內部的寄生電容(parasitic capacitance)所造成的影響。金氧半電晶體內部的寄生電容包括閘極與汲極的重疊電容(overlap capacitance)，其係因為汲極區稍微延伸到閘極之下所造成。

對重疊電容所造成影響之分析請參照第 1A-1D 圖。第 1A 圖是一金氧半電晶體共源極放大器(common-source amplifier)之電路架構圖。電容值很大的電容器 C1、C2、C3 分別用來將金氧半電晶體 Q 的閘極 G、源極 S 與汲極 D 耦合到信號源 Vi、地線 100 與負載電阻 R_L。此電路的輸出電壓為 Vo。產生信號源 Vi 之信號產生器具有電阻 R_S。電流源 I 的用途是偏壓(bias)此金氧半電晶體 Q，且連接到負電壓源-Vss。電阻值很大的電阻器 R_G 連接閘極 G 到地線 100。電阻器 R_D 連接汲極 D 到正電壓源 V_{DD}。假設此金氧半電晶體 Q 的源極 S 連接到其基材(substrate or body)，且在以下的高頻響應(high-frequency response)分析中，電容器 C1、C2、C3 皆理想地成為短路(short)。

第 1B 圖為第 1A 圖之共源極放大器之小信號等效電路(small-signal equivalent circuit)圖。在第 1B 圖中，金氧半電晶體的小信號等效電路模型被用來取代金氧半電晶體 Q。此小信號等效電路模型包括閘極 G 對源極 S 的寄生電容 Cgs(跨於其兩端的電壓為 Vgs)、閘極 G 對汲極 D 的寄生電容 Cgd、相依電流源 g_mVgs、以及輸出電阻(output resistance)r_o，其中金氧半電晶體 Q 具有跨導(transconductance)g_m。在此，汲極 D 對源極 S(即對基材)的寄生電容忽略不計。

在多數的情況下，金氧半電晶體的操作處於飽和區(saturation region)。在金氧半電晶體 Q 處於飽和區之下，寄生電容 Cgs 包括閘極 G 對通道的電容(gate-to-channel capacitance)、閘極 G 對源極 S 的重疊電容、以及閘極 G 對基材的寄生電容。閘極 G 對通道的電容是寄生電容 Cgs 的主要成份。寄生電容 Cgd 即為閘極 G 對汲極 D 的重疊電容，且其典型值為 1-10 fF($f=10^{-15}$，F 為法拉)。如第 1B 圖所示，輸出電阻 r_o、電阻器 R_D 與負載電阻 R_L 因為並聯所以可合併為一等效電阻 R'_L。

第 1C 圖為第 1B 圖中電路之簡化電路圖。將戴維寧定理(Thevenin's theorem)應用在第 1B 圖中電路的輸入側，可得到戴維寧電壓源 $ViR_G/(R_S+R_G)$與戴維寧電阻 R'(等於 R_S 並聯 R_G)。因為重疊電容 Cgd 很小，故流經重疊電容 Cgd 的電流很小，所以可忽略不計。因此，輸出電壓 Vo 如下式所示：

$Vo \fallingdotseq -g_m Vgs R'_L$

第 1D 圖繪示以米勒電容(Miller capacitance)C_M取代重疊電容 Cgd 後第 1C 圖中輸入側之等效電路圖。利用重疊電容 Cgd 兩端電壓之比值(亦即 $Vo/Vgs=-g_m R'_L$)而應用米勒定理可得知米勒電容

$C_M=Cgd\ (1+ g_m R'_L)$

請參照第 1D 圖，寄生電容 Cgs 與米勒電容 C_M 因為並聯所以可合併為一等效電容 C_T。第 1D 圖之輸入側電路，亦即輸入端電阻電容電路(input RC circuit)，係為一階低通濾波器(first-order low-pass filter)，且其時間常數為 $C_T R'$。此輸入側一階電路將決定此共源極放大器之高頻響應，且決定出一主導的高頻極點(dominant high-frequency pole)。此主導極點即代表上 3 分貝頻率(upper 3-dB frequency)ω_H且等於

$\omega_H=1/\ C_T R'$

因此，此共源極放大器之高頻電壓增益(gain)A_H可表示為

$A_H=A_M(1/[1+s/\omega_H])$

其中 s 為複頻率(complex frequency)，A_M 為中頻增益(midband gain)。以上的高頻響應分析可參考 International Thomson Publishing 所出版，書名為「Microelectronic circuits」第三版之第七章，其作者為 Adel S. Sedra 與 Kenneth C. Smith。

根據以上的分析，重疊電容 Cgd 對於決定高頻響應扮演了重要的角色。重疊電容 Cgd 影響了等效電容 C_T、上 3 分貝頻率 ω_H、以及高頻電壓增益 A_H。此即為米勒效應

(Miller effect)。如果降低重疊電容 Cgd，則可提高上 3 分貝頻率 ω_H 及高頻電壓增益 A_H。另一方面，由於寄生電容 Cgs 是影響元件效能(包括啟始電壓 Vt 與汲極到源極電流 I_{DS})的重要參數，所以不降低閘極 G 對源極 S 的重疊電容。

由以上所述可知，有需要發展製造方法以降低閘極對汲極的重疊電容，以增進金氧半電晶體放大器之高頻響應。

【發明內容】

因此本發明的目的就是在提供一種形成金氧半電晶體的方法，用以降低閘極對汲極的重疊電容，而增進金氧半電晶體在高頻操作時的效能。

本發明的另一目的是在提供一種金氧半電晶體之結構，以降低閘極對汲極的重疊電容，而增進金氧半電晶體元件在高頻操作時的效能。

依照本發明一較佳實施例，形成金氧半電晶體的方法包含以下步驟。在一基材上形成一閘極堆疊，其中此閘極堆疊包括一閘介電層及一導體層。然後形成一罩幕層以覆蓋此閘極堆疊與此基材。再蝕刻此罩幕層以暴露出此閘極堆疊的一側以及與此側同側之此基材的表面。接著對暴露出之此閘極堆疊之此導體層進行一氧化製程以氧化暴露出之此閘極底部角落而形成一鳥嘴結構。然後去除此罩幕層。最後在此閘極兩側之此基材中分別形成一源極與一汲極，此汲極與此鳥嘴結構同側。

依照本發明另一較佳實施例，形成金氧半電晶體的方

法包含以下步驟。在一基材上形成一閘極堆疊，其中此閘極堆疊包括一閘介電層及一導體層。再形成一罩幕層以覆蓋此閘極堆疊與此基材。然後以一傾斜角度對此罩幕層進行離子佈植，利用此閘極堆疊之遮蔽效應作為離子植入之罩幕，遮蔽部分與離子植入方向相反之側的此罩幕層。接著選擇性蝕刻離子植入部分之此罩幕層，以暴露出此閘極堆疊的一側以及與此側同側之此基材的表面。再對暴露出之此閘極堆疊之此導體層進行一氧化製程以氧化暴露出之此閘極底部角落而形成一鳥嘴結構。然後去除此罩幕層。最後，在此閘極兩側之此基材中分別形成一源極與一汲極，此汲極與此鳥嘴結構同側。

本發明具有下列優點。因為讓閘介電層靠近汲極之一端形成鳥嘴結構，閘極對汲極之重疊電容降低了。因為只在閘極對汲極之重疊處形成鳥嘴形狀，並未在閘極對源極之重疊處形成鳥嘴形狀，所以形成鳥嘴形狀之後的元件啟始電壓與汲極到源極電流並沒有很大的影響。總之，形成鳥嘴結構以降低閘極對汲極之重疊電容之後，在金氧半電晶體的直流和低頻時的操作功能行為並沒有什麼改變，但卻增進了在高頻操作時的效能。

【實施方式】

請參照第 2 圖，其繪示依據本發明一較佳實施例之一種金氧半電晶體之剖面結構示意圖。在基材 200 之上依序有閘介電層 220 與閘極 210，在閘極 210 之兩側基材 200 中

各有源極 230 與汲極 240，源極 230 與汲極 240 皆與閘極 210 有部分重疊。上述之閘介電層 220 在靠近汲極 240 端具有鳥嘴 220a 的結構以使其厚度增加，如此可降低由閘極 210 與汲極 240 組成之重疊電容。

形成鳥嘴前後之重疊電容值的計算分析

假設第 2 圖中的結構為 N 型金氧半電晶體，閘介電層 220 的材料為氧化矽以及其厚度為 40 埃，且此 N 型金氧半電晶體的通道長度(channel length)為 0.2 微米(μm)。如果閘介電層 220 不具有鳥嘴 220a 的結構，則閘極 210 對汲極 240 之重疊電容值為 1.328 fF。假如閘介電層 220 具有鳥嘴 220a 的結構，則閘極 210 對汲極 240 之重疊電容值計算如下。

茲將第 2 圖中的鳥嘴 220a 之放大圖顯示於第 3 圖中。非鳥嘴部分之閘介電層 220 的厚度 D_0 等於 40 埃。鳥嘴 220a 之斜邊對水平的夾角 θ 等於 30°。此 N 型金氧半電晶體的通道寬度 W (未繪出)等於 10 微米，且鳥嘴 220a 沿著通道長度方向的長度 L 等於 0.06 微米。鳥嘴 220a 的起始點為 xy 座標軸之原點，而鳥嘴 220a 之斜邊上任意點的高度 y 等於斜率 r 乘以 x 之值。上述之鳥嘴 220a 之斜邊對水平的斜率 r 請見第(1)式。

$$r = \tan\theta \text{.....(1)}$$

依照兩平行導電板被一介電質分隔開之電容定義，閘極 210 對汲極 240 的重疊電容值 C 等於儲存電荷△Q 除以

兩導電板之電位差△V，亦等於此介電質的介電係數ε乘以導電板的面積 A，再除以兩導電板間的距離 D，如第(2)式所示。

$$C=\frac{\Delta Q}{\Delta V}=\frac{\varepsilon A}{D}.....(2)$$

根據第(2)式，重疊電容值 C 可沿著 x 軸自 0 至 L 以積分的方式計算出，如以下之第(3)式。

$$C=\varepsilon W\int\frac{1}{D0+rx}dx=\varepsilon\frac{W}{r}\int_0^L\frac{1}{(D0/r+x)}dx$$

$$=\varepsilon\frac{W}{r}\ln(D0/r+x)\Big|_0^L=\varepsilon\frac{W}{r}\ln(\frac{D0+L*r}{D0}).....(3)$$

計算出的閘極 210 對汲極 240 的重疊電容值 C 等於 0.348 fF。可見得形成鳥嘴 220a 之後，根據計算分析，閘極 210 對汲極 240 的重疊電容值 C 足足下降了約 74%之多。

第一實施例

請參照第 4A-4E 圖，其繪示依照本發明一較佳實施例之一種金氧半電晶體的製造流程剖面示意圖。請參照第 4A 圖，先在一 P 型基材 400 上依序形成介電層與導體層。上述之介電層的材質例如可為氧化物，較佳為氧化矽。此介電層的形成方法例如可為熱氧化法。導體層的材質例如可為多晶矽，其形成方法例如可為化學氣相沉積(CVD)法。然後對此介電層與此導體層進行微影蝕刻製程以定義出閘極 410 與閘介電層 420。閘極 410 即為此

導體層的一部份，而閘介電層 420 即為此介電層的一部份。閘極 410 與閘介電層 420 可合稱為一閘極堆疊。然後形成一罩幕層 430 以覆蓋此閘極堆疊與基材 400。此罩幕層 430 的材質例如為氮化物，較佳為氮化矽，且其形成方法例如為化學氣相沉積法。

請參照第 4B 圖，接著以光阻 440 覆蓋罩幕層 430 的一部分，再蝕刻暴露出之罩幕層 430 以暴露出此閘極堆疊的一側，亦即閘極 410 的一側，與其同側之基材 400 的表面，此罩幕層 430 若為氮化矽，則可使用例如磷酸蝕刻液選擇性去除氮化矽。請參照第 4C 圖，然後去除光阻 440，再以例如含氫氟酸(HF)的蝕刻液以等向性蝕刻的方式橫向蝕刻暴露出之閘介電層 420 的一部份，以讓閘極 410 之底角 415 暴露出來，以形成底切(undercut)結構。請參照第 4D 圖，然後再進行熱氧化法，氧化閘極 410 之底角 415 以形成鳥嘴 420a。此時，再將暴露出之基材 400 及閘極 410 表面之氧化層去除以完成第 4D 圖所示的結構。

請參照第 4E 圖，然後去除罩幕層 430，再以例如離子植入法在閘極 410 兩側之基材 400 中形成摻雜的 N 型源極 450 與 N 型汲極 460，完成 N 型金氧半電晶體之製作。

上述之閘極 410 之鳥嘴 420a 的功能是降低閘極 410 與汲極 460 所構成之重疊電容。須注意的是，以上所述的蝕刻閘介電層 420 的此部份並非一定必要的，可予以省略之。進行此步驟能幫助控制所形成之鳥嘴 420a 的形狀。

在此實施例中，N 型金氧半電晶體的通道長度為 0.2 微米，而閘介電層 420 的厚度為 40 埃。原本的閘極對汲極之單位長度重疊電容值為 0.451 fF/μm，而形成鳥嘴 420a 之後閘極 410 對汲極 460 之單位長度重疊電容值變為 0.307 fF/μm，約降低了 32%。同時元件之啟始電壓 Vt 與汲極 460 到源極 450 電流 I_{DS} 經過以上製程後也沒有很大的偏移，仍維持理想值。啟始電壓 Vt 約改變 20mV。此外，亦可以進行其他佈植製程以幫助維持理想的元件特性。

第二實施例

第 5A-5F 圖係為依照本發明另一較佳實施例的製造流程剖面結構示意圖。請參照第 5A 圖，先在一 P 型基材 500 上依序形成介電層與導體層。上述之介電層的材質例如可為氧化物，較佳為氧化矽。介電層的形成方法例如可為熱氧化法。導體層的材質例如可為多晶矽，其形成方法例如可為化學氣相沉積法。然後對此介電層與此導體層進行微影蝕刻製程以定義出閘極 520 與閘介電層 510。閘極 520 即為此導體層的一部份，而閘介電層 510 即為此介電層的一部份。閘極 520 與閘介電層 510 可統稱為一閘極堆疊。

請參照第 5B 圖，然後形成一罩幕層 540 以覆蓋此閘極堆疊與基材 500。此罩幕層 540 的材質例如可為氧化層，且其形成方法例如可為化學氣相沉積法。請參照第 5C 圖，然後以一傾斜角度對罩幕層 540 進行離子佈植 550，利

用閘極 520 之遮蔽效應(shadow effect)作為離子植入之罩幕，遮蔽部分與離子植入方向相反之側的罩幕層 540。上述離子佈植 550 所使用之離子源例如可為氮離子。

請參照第 5D 圖，然後利用選擇性蝕刻(selective etching)，例如為濕蝕刻製程，來移除離子植入部分之罩幕層 540。當此罩幕層 540 的材質為氧化矽時，此選擇性蝕刻可經由利用含有氫氟酸的蝕刻液而達成，其中具有氮離子佈植之氧化矽的蝕刻速率快於沒有氮離子佈植之氧化矽的蝕刻速率。完成選擇性蝕刻後，留下未被離子植入之罩幕層 540a。再以例如含氫氟酸的蝕刻液以等向性蝕刻的方式來橫向蝕刻暴露出之閘介電層 510 的一部份，以讓閘極 520 之底角 515 暴露出來，以形成底切結構。

請參照第 5E 圖，再進行熱氧化法，氧化閘極 520 之底角 515 以形成鳥嘴 510a，然後將暴露出之基材 500 與閘極 520 表面之氧化層及罩幕層 540a 去除以完成第 5E 圖所示的結構。請參照第 5F 圖，以例如離子植入法在閘極 520 兩側之基材 500 中形成重摻雜的 N 型源極 550 與 N 型汲極 560，完成 N 型金氧半電晶體之製作。

上述之閘極 520 之鳥嘴 510a 的功能是降低閘極 520 與汲極 560 所構成之重疊電容。須注意的是，以上所述的蝕刻閘介電層 510 的一部份並非一定必要的，可予以省略之。進行此步驟能幫助控制所形成之鳥嘴 510a 的形狀。

如果上述 P 型基材 400、500 更換為 N 型，而源極 450、550 與汲極 460、560 皆為 P 型，則可形成 P 型金氧半電晶體。

由上述本發明較佳實施例可知，應用本發明具有下列優點。因為讓閘介電層靠近汲極之一端形成鳥嘴結構，閘極對汲極之重疊電容降低了。因為只在閘極對汲極之重疊處形成鳥嘴形狀，並未在閘極對源極之重疊處形成鳥嘴形狀，所以形成鳥嘴形狀之後的元件啟始電壓 Vt 與汲極到源極電流 I_{DS} 並沒有很大的影響。總之，形成鳥嘴結構以降低閘極對汲極之重疊電容之後，在金氧半電晶體的直流和低頻時的操作功能行為並未有什麼改變，但卻大大增進在高頻操作時的效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第 1A 圖是一金氧半電晶體共源極放大器之電路架構圖。

第 1B 圖為第 1A 圖之共源極放大器之小信號等效電路

圖。

第 1C 圖為第 1B 圖之小信號等效電路之簡化電路圖。

第 1D 圖繪示以米勒電容 C_M 取代重疊電容 Cgd 後第 1C 圖中輸入側之等效電路圖。

第 2 圖繪示依據本發明一較佳實施例之一種金氧半電晶體之剖面結構示意圖。

第 3 圖為第 2 圖中的鳥嘴之放大圖。

第 4A-4E 圖繪示依照本發明一較佳實施例之一種金氧半電晶體的製造流程剖面示意圖。

第 5A-5F 圖係為依照本發明另一較佳實施例的製造流程剖面結構示意圖。

【元件代表符號簡單說明】

100：地線　　200、400、500：基材

210、410、520：閘極　　220、420、510：閘介電層

220a、420a、510a：鳥嘴　　230、450、550：源極

240、460、560：汲極　　415：閘極 410 之底角

430、540：罩幕層　　440：光阻

515：閘極　　520 之底角

540a：未被離子植入之罩幕層

550：離子佈植

拾、申請專利範圍

1.一種形成金氧半電晶體的方法，該方法至少包含：

在一基材上形成一閘極堆疊，其中該閘極堆疊包括一閘介電層及一導體層；

形成一罩幕層以覆蓋該閘極堆疊與該基材；

蝕刻該罩幕層以暴露出該閘極堆疊的一側以及與該側同側之該基材的表面；

對暴露出之該閘極堆疊之該導體層進行一氧化製程以氧化暴露出之該閘極底部角落而形成一鳥嘴結構；

去除該罩幕層；以及

在該閘極兩側之該基材中分別形成一源極與一汲極，該汲極與該鳥嘴結構同側。

2.如申請專利範圍第1項所述之方法，其中該導體層的材質包含多晶矽。

3.如申請專利範圍第1項所述之方法，其中該閘介電層的材質包含氧化物。

4.如申請專利範圍第2項所述之方法，其中進行該氧化製程之前更包含橫向蝕刻暴露出之該閘介電層的

一部份。

5.如申請專利範圍第4項所述之方法，其中橫向蝕刻該閘介電層的方法包含一等向性蝕刻。

6.如申請專利範圍第1項所述之方法，其中該罩幕層包含氮化物。

7.如申請專利範圍第1項所述之方法，其中該罩幕層包含氮化矽。

8.一種形成金氧半電晶體的方法，該方法至少包含：

在一基材上形成一閘極堆疊，其中該閘極堆疊包括一閘介電層及一導體層；

形成一罩幕層以覆蓋該閘極堆疊與該基材；

以一傾斜角度對該罩幕層進行離子佈植，利用該閘極堆疊之遮蔽效應作為離子植入之罩幕，遮蔽部分與離子植入方向相反之側的該罩幕層；

選擇性蝕刻離子植入部分之該罩幕層，以暴露出該閘極堆疊的一側以及與該側同側之該基材的表面；

對暴露出之該閘極堆疊之該導體層進行一氧化製程以氧化暴露出之該閘極底部角落而形成一鳥嘴結構；

去除該罩幕層；以及

在該閘極兩側之該基材中分別形成一源極與一汲極，該汲極與該鳥嘴結構同側。

9.如申請專利範圍第 8 項所述之方法，其中該導體層的材質包含多晶矽。

10.如申請專利範圍第 8 項所述之方法，其中該閘介電層的材質包含氧化物。

11.如申請專利範圍第 8 項所述之方法，其中該罩幕層包含氧化層。

12.如申請專利範圍第 11 項所述之方法，其中形成該罩幕層的方式為化學氣相沉積法。

13.如申請專利範圍第 8 項所述之方法，其中該選擇性蝕刻係使用濕蝕刻製程。

14.如申請專利範圍第 8 項所述之方法，其中該罩幕層的材質包含氧化矽。

15.如申請專利範圍第 14 項所述之方法，其中該選擇性蝕刻所用之蝕刻液含有氫氟酸。

16.如申請專利範圍第 8 項所述之方法，其中該離子佈植步驟中所使用之離子源包含氮離子。

17.如申請專利範圍第 8 項所述之方法，其中進行該氧化製程之前更包含橫向蝕刻暴露出之該閘介電層的一部份。

18.如申請專利範圍第 17 項所述之方法，其中橫向蝕刻該閘介電層的方法包含一等向性蝕刻。

19.一種金氧半電晶體之結構，該結構至少包含：

一基材；

一閘介電層位於該基材上；

一閘極，該閘極位於該閘介電層上；

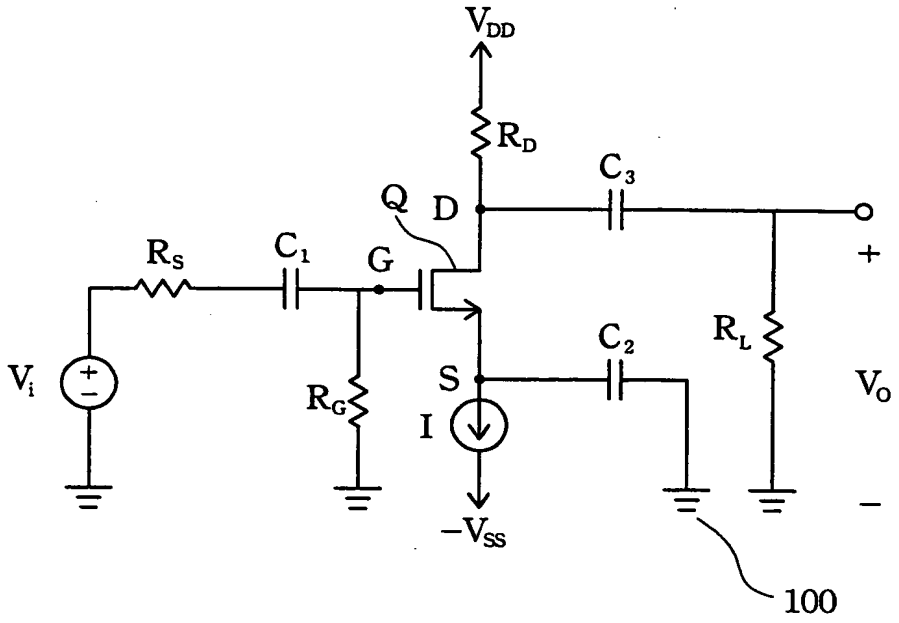
一源極，該源極位於該基材中，該閘極與該源極有部分重疊；以及

一汲極，該汲極位於該基材中，該閘極與該汲極有部分重疊，

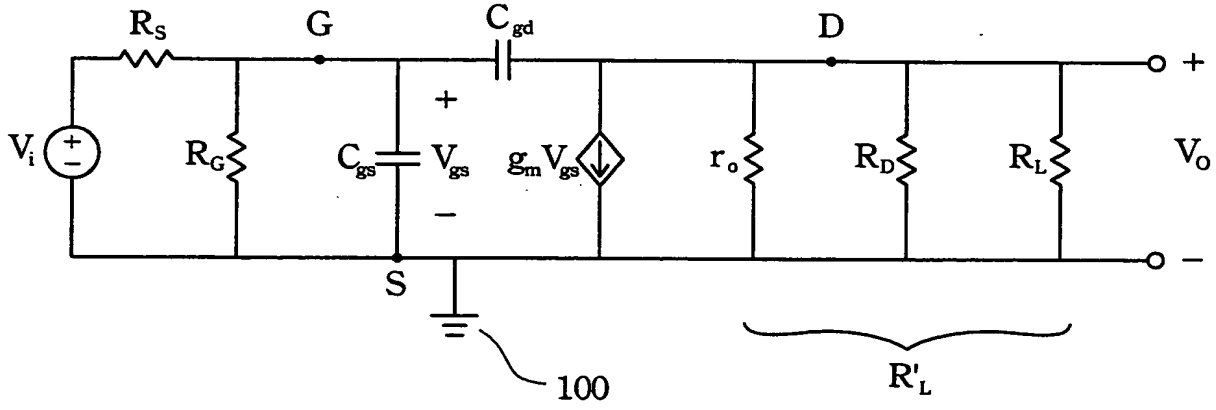
其中，該閘介電層靠近該汲極之一端增厚為一鳥嘴結構，用以降低該閘極對該汲極之重疊電容。

20.如申請專利範圍第 19 項所述之結構，其中該閘極的材質包含多晶矽。

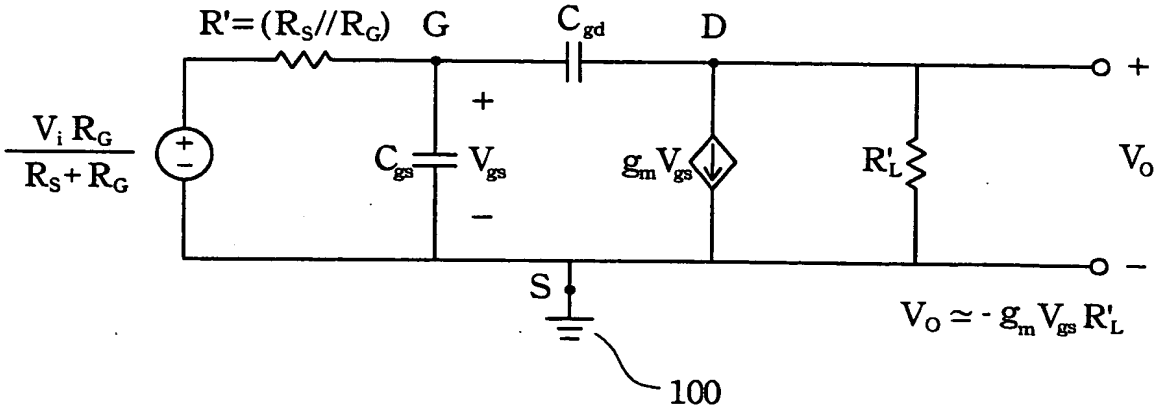
21.如申請專利範圍第19項所述之結構，其中該閘介電層的材質包含氧化物。


V_{DD}
R_D
C_3
Q
D
+
R_S
C_1
G
C_2
R_L
V_i
R_G
S
V_O
I
−
$-V_{SS}$
100

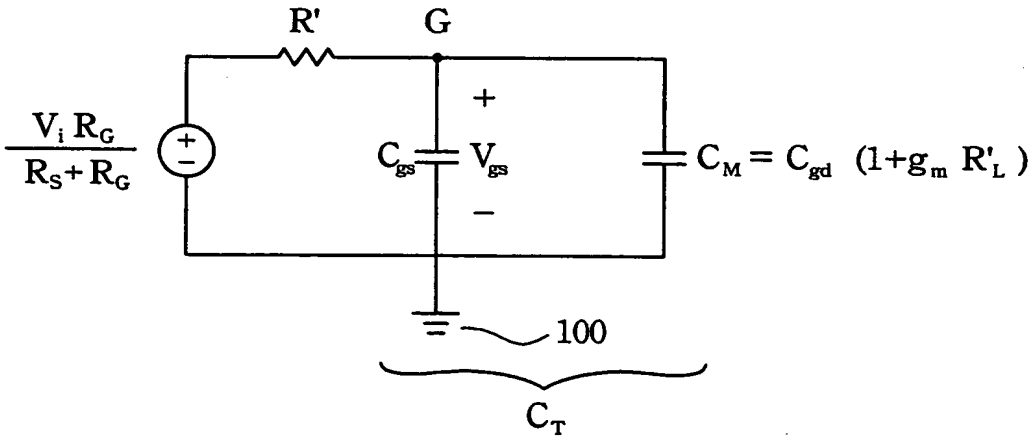
第 1A 圖


R_S
G
C_{gd}
D
+
V_i
R_G
C_{gs}
V_{gs}
$g_m V_{gs}$
r_o
R_D
R_L
V_O
−
S
100
R'_L

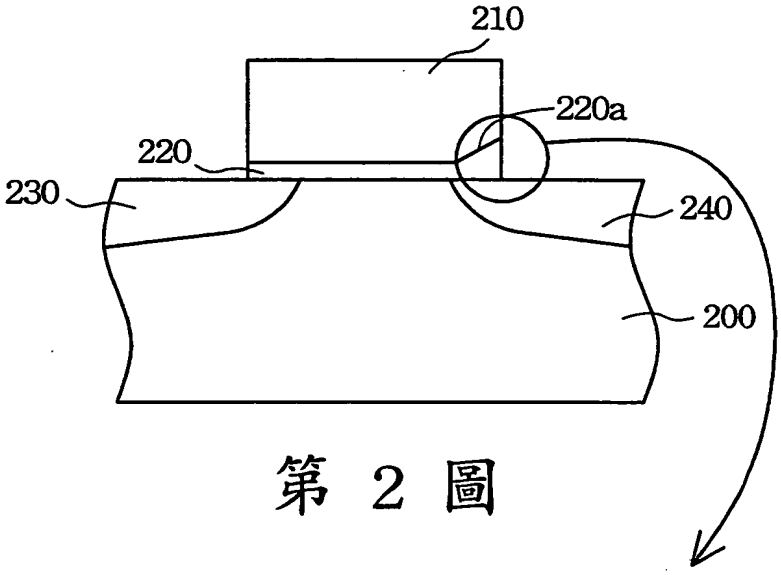
第 1B 圖


R'=(R_S//R_G)
G
C_gd
D
+
V_i R_G / R_S+R_G
C_gs
V_gs
g_m V_gs
R'_L
V_O
−
S
V_O ≃ - g_m V_gs R'_L
100

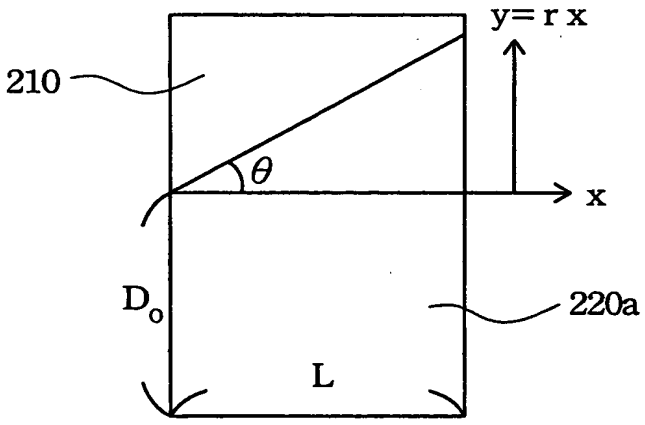
第 1C 圖


R'
G
+
V_i R_G / R_S+R_G
C_gs
V_gs
C_M = C_gd (1+g_m R'_L)
−
100
C_T

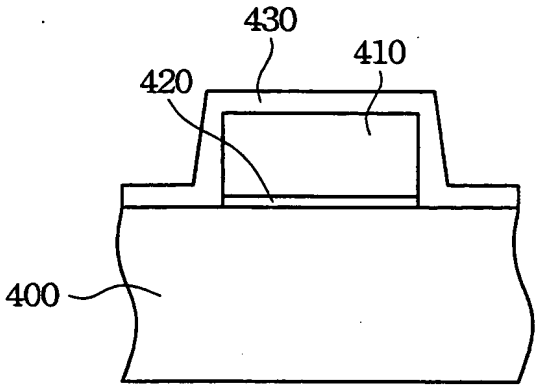
第 1D 圖



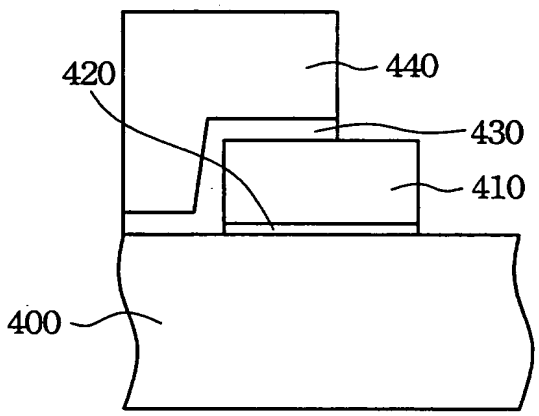
第 2 圖



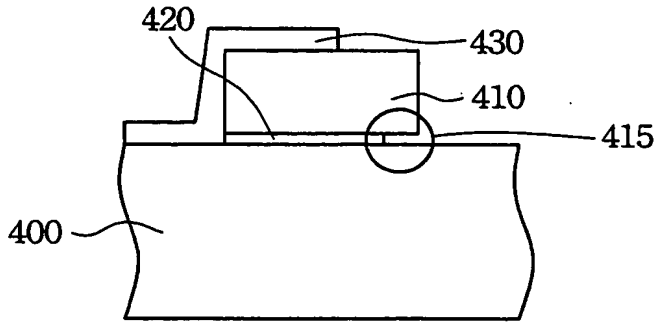
第 3 圖



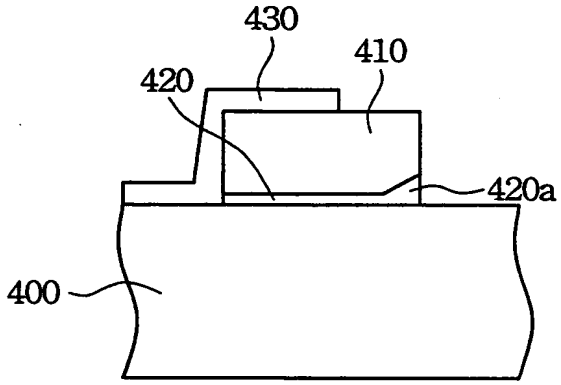
第 4A 圖



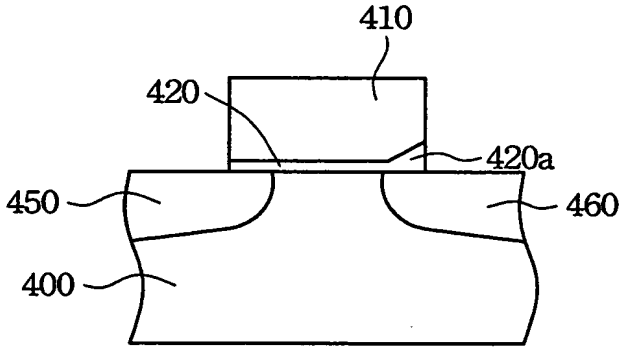
第 4B 圖



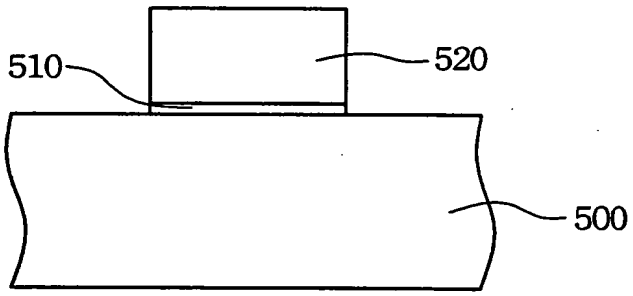
第 4C 圖



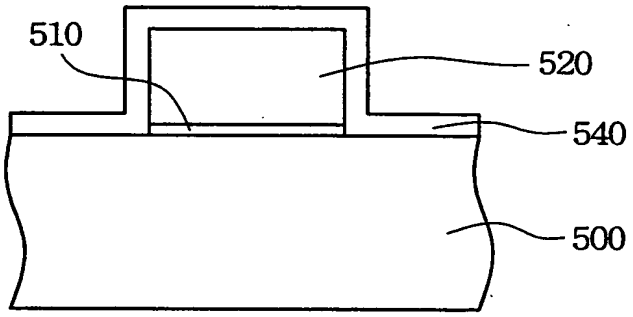
第 4D 圖



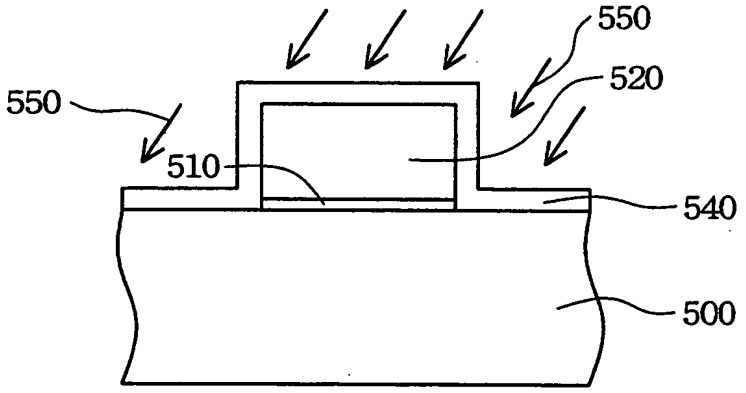
第 4E 圖



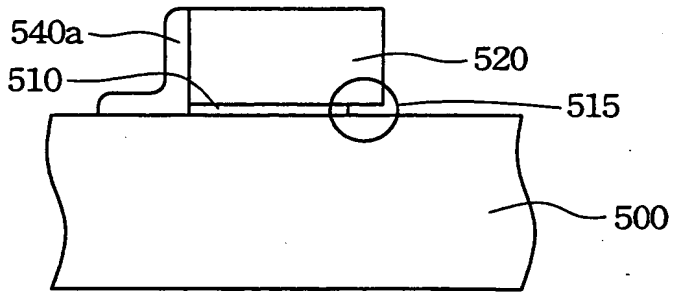
第 5A 圖



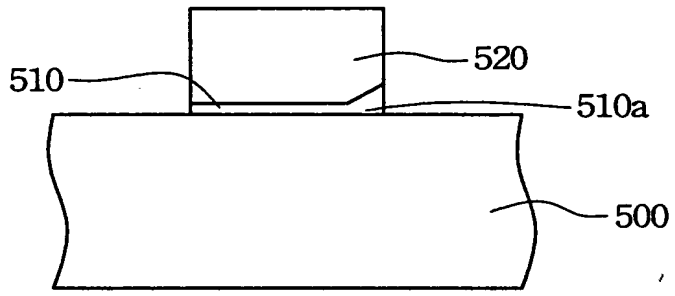
第 5B 圖



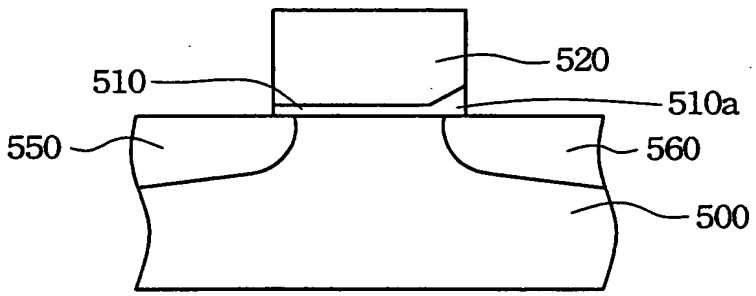
第 5C 圖



第 5D 圖



第 5E 圖



第 5F 圖